

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-200109

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/8234
H01L 27/088

(21)Application number : 09-011937

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.01.1997

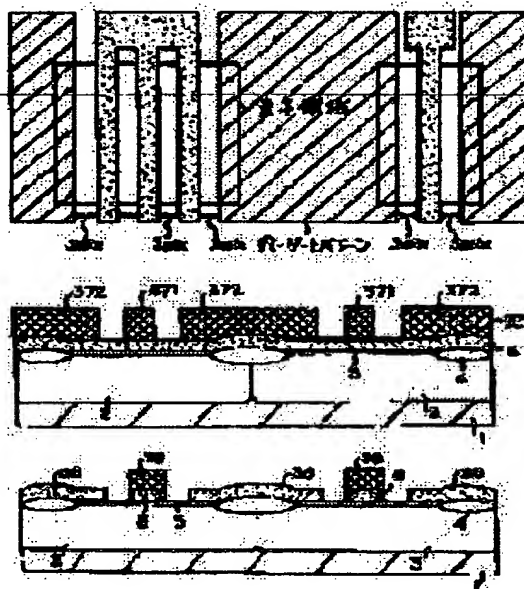
(72)Inventor : CHIKAMATSU NAOHITO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD, AND SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a gate with less variation by forming a dummy gate pattern at the same time when a gate is formed, for improved size variation of the gate.

SOLUTION: On a silicon semiconductor substrate, a silicon oxide film 5, used as a gate insulation film, is formed by thermal oxidation, and a polycrystal silicon film 6 is formed over it. Then, a gate electrode pattern 371 comprising, on both sides, a dummy gate pattern 372 provided with a minimum interval S_{min} is transferred to a photo-resist 37. Then, with this as a mask, anisotropic etching is performed with the polycrystal silicon 6, so that gates 8 and 8, of a specified pattern, and dummy gate patterns 38 and 38, on both sides in gate's longitudinal direction, are formed. In a gate electrode pattern, the dummy pattern 38 with the minimum gate interval S_{min} used in LSI is provided like this. Thus, the periphery of the pattern is made even at gate work, so change in gate size is suppressed.



LEGAL STATUS

[Date of request for examination] 14.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3495869

[Date of registration] 21.11.2003

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-200109

(43) 公開日 平成10年(1998) 7月31日

(51) Int. Cl.⁶

識別記号

FI

H01L 29/78
21/336
21/8234
27/088H01L 29/78
27/08301Y
102C

審査請求 未請求 請求項の数10 FD (全 12 頁)

(21) 出願番号 特願平9-11937

(22) 出願日 平成9年(1997) 1月7日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 親松 尚人

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

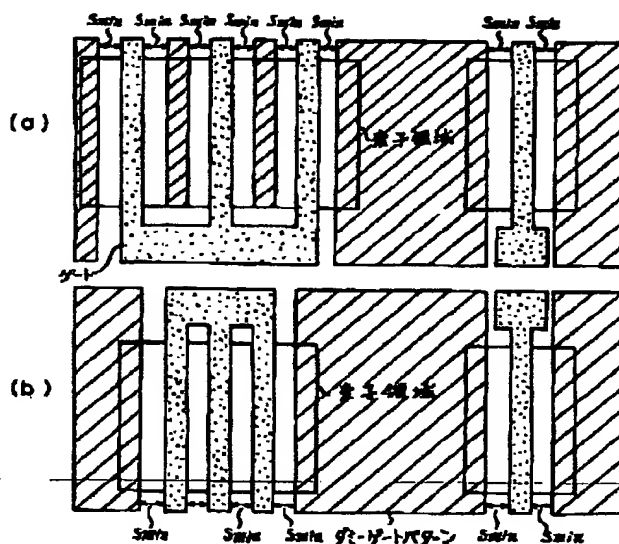
(74) 代理人 弁理士 竹村 壽

(54) 【発明の名称】 半導体装置及びその製造方法及び半導体基板

(57) 【要約】

【課題】 ゲートの局所的な被覆率の差を低減し、プロセス中の光の近接効果、ローディング効果を緩和し、ゲートの寸法変動を改善してバラツキの少ないゲートを形成して特性のバラツキが改善された半導体装置を提供する。

【解決手段】 MOSFETのゲート形成時にゲート以外の領域に、このゲートと分離されたレジストパターンをリソグラフィプロセスにて形成し、ゲート形成時に同時にダミーゲートパターンを形成する。これにより各ゲート周辺のパターン密度を均一にし、リソグラフィ工程での近接効果、リソグラフィ工程の現像、エッチング工程でのローディング効果等によるゲート寸法のバラツキを低減し、ゲート寸法精度の制御性を改善し、より高性能な半導体装置ができる。またボリジド領域はゲート近傍のみに形成され、それ以外のソース/ドレイン領域下には形成されないので接合容量の増大しない高性能なデバイス構造が実現できる。



(2)

特開平10-200109

1

【特許請求の範囲】

【請求項1】 複数の素子領域と、

素子領域間に形成された素子分離領域と、
前記素子領域上に形成されたゲート電極パターンと、
前記素子領域又は素子分離領域上に形成され、少なくとも一部は前記ゲート電極パターンに隣接して形成されているダミーゲートパターンとを備え、前記ゲート電極パターンと前記ダミーゲートパターンとは、実質的に平行に所定間隔をおいて配置されていることを特徴とする半導体基板。

【請求項2】 前記ダミーゲートパターンのパターン幅は、前記ゲート電極パターンのパターン幅と等しいかもしくはそれより大きいことを特徴とする請求項1に記載の半導体基板。

【請求項3】 前記ゲート電極パターンと前記ダミーゲートパターンとは、実質的に平行に所定間隔をおいて配置され、その間隔は、すべて等しいことを特徴とする請求項1又は請求項2に記載の半導体基板。

【請求項4】 前記ゲート電極パターンと前記ダミーゲートパターンとは、実質的に平行に所定間隔をおいて配置され、前記ゲート電極パターンとこれに隣接するダミーゲートパターンとの間隔は、前記ゲート電極パターンを形成するプロセスにおいてこのゲート電極パターンが光近接効果を受けるような幅もしくはそれ以上であることであることを特徴とする請求項1乃至請求項3のいずれかに記載の半導体基板。

【請求項5】 前記間隔は、前記ゲート電極パターンのパターン幅の6倍以下であることを特徴とする請求項4に記載の半導体基板。

【請求項6】 半導体基板の素子領域上に少なくとも1つのゲート電極パターンと、前記素子領域上もしくは素子分離領域上に少なくとも前記ゲート電極パターンの両側に所定の間隔をもって配置されるダミーゲートパターンとを形成する工程と、

前記半導体基板の第1導電型の表面領域に、前記ゲート電極パターンとその両側に配置形成された前記ダミーゲートパターンをマスクとして、第2導電型の不純物をイオン注入して低不純物濃度の第2導電型不純物拡散領域を前記ゲート電極パターンの両側に沿って形成する工程と、

前記低不純物濃度の第2導電型不純物拡散領域を形成後前記ダミーゲートパターンを前記半導体基板から除去する工程と、

前記ダミーゲートパターンを除去後前記ゲート電極パターンの側面に側壁絶縁膜を形成する工程と、

前記半導体基板の第1導電型の表面領域に、前記ゲート電極パターン及び前記側壁絶縁膜をマスクとして、第2導電型の不純物をイオン注入して高不純物濃度の第2導電型不純物拡散領域を前記ゲート電極パターンの両側に沿って形成し、前記低不純物濃度の第2導電型不純物拡

2

散領域と前記高不純物濃度の第2導電型不純物拡散領域とから構成されるソース／ドレイン領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板の素子領域上に少なくとも1つのゲート電極パターンと前記素子領域上もしくは素子分離領域上に少なくとも前記ゲート電極パターンの両側に所定の間隔をもって配置されるダミーゲートパターンとを形成する工程と、

前記半導体基板の第1導電型の表面領域に、前記ゲート電極パターンとその両側に配置形成された前記ダミーゲートパターンをマスクとして、第2導電型の不純物をイオン注入して低不純物濃度の第2導電型不純物拡散領域を前記ゲート電極パターンの両側に沿って形成する工程と、

前記半導体基板の第1導電型の表面領域に、前記ゲート電極パターンとその両側に配置形成された前記ダミーゲートパターンをマスクとして第1導電型の不純物をイオン注入して前記表面領域の不純物濃度より高不純物濃度の第1導電型不純物拡散領域であるポケット領域を前記低不純物濃度の第2導電型不純物拡散領域の下に形成する工程と、

前記ポケット領域を形成後前記ダミーゲートパターンを前記半導体基板から除去する工程と、

前記ダミーゲートパターンを除去後前記ゲート電極パターンの側面に側壁絶縁膜を形成する工程と、

前記半導体基板の第1導電型の表面領域に、前記ゲート電極パターン及び前記側壁絶縁膜をマスクとして、第2導電型の不純物をイオン注入して高不純物濃度の第2導電型不純物拡散領域を前記ゲート電極パターンの両側に沿って形成し、前記低不純物濃度の第2導電型不純物拡散領域と前記高不純物濃度の第2導電型不純物拡散領域とから構成されたソース／ドレイン領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項8】 前記ゲート電極パターンと前記ダミーゲートパターンとを形成する工程において、これらゲート電極パターン及びダミーゲートパターンは、フォトリソをマスクにして形成され、このマスクは、前記イオン注入のマスクとして用いることを特徴とする請求項7又は請求項8に記載の半導体装置の製造方法。

【請求項9】 前記表面領域には、第1導電型のウエル領域が形成され、前記低不純物濃度の第2導電型不純物拡散領域は、このウエル領域に形成されていることを特徴とする請求項6乃至請求項8のいずれかに記載の半導体装置の製造方法。

【請求項10】 半導体基板の素子領域上に形成されたゲート電極パターンと、

前記半導体基板の第1導電型の表面領域に形成され、前記ゲート電極パターンの両側に沿って配置された低不純物濃度の第2導電型不純物拡散領域と、

前記半導体基板の第1導電型の表面領域において、前記

(3)

特開平10-200109

3

4

低不純物濃度の第2導電型不純物拡散領域の下に形成され、前記表面領域の不純物濃度より高不純物濃度の第1導電型不純物拡散領域であるポケット領域と、前記半導体基板の第1導電型の表面領域に、高不純物濃度の第2導電型不純物拡散領域を前記ゲート電極パターンの両側に沿って形成された前記低不純物濃度の第2導電型不純物拡散領域と前記高不純物濃度の第2導電型不純物拡散領域とから構成されたソース/ドレイン領域とを備え、前記ポケット領域は、前記高不純物濃度の第2導電型不純物拡散領域とは1部分のみが接触していることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法において、MOSFETのゲートの形成方法、及びゲートをマスクパターンとして形成する拡散層の不純物プロファイルに関するものである。

【0002】

【従来の技術】半導体素子の製造における微細化技術の進歩は、1チップ上により多くのデバイスの集積化を可能にし、さらにより高性能なデバイスの開発を支えてきた。この様な背景の中で微細なデバイスの集合体である半導体装置(LSI)では、個々のデバイスの性能パラツキをいかにプロセス的に抑えるかが重要となる。図1乃至図14の工程断面図を参照して従来の半導体装置の製造方法を説明する。シリコン半導体基板1の表面領域に、nMOSFET及びpMOSFETを形成する不純物拡散領域としてp型不純物領域(pウェル)2及びn型不純物拡散領域(nウェル)3を形成する。この後、素子を電気的に分離するためのフィールド酸化膜(SiO_2)4を選択酸化法を用いて形成する。次に、MOSFETが形成されるシリコン半導体基板表面領域の不純物濃度がそれぞれのMOSFETに対して所望のしきい値電圧(V_{th})になるように、必要な不純物プロファイルを、それぞれの領域に対しリソグラフィプロセスで形成したフォトリジストをマスクに用いてイオン注入法により形成する。次に、シリコン半導体基板上にゲート絶縁膜として用いるシリコン酸化膜5を熱酸化法で形成し、その上に多結晶シリコン膜6をLPCVD(Low Pressure Chemical Vapour Deposition)法などにより形成する。

【0003】次に、リソグラフィプロセスによりゲート電極パターンをフォトリジスト7に転写し(図12

(a))、これをマスクにして、方向性をもち、STO2に対してエッチング選択比を持つRIE(Reactive Ion Etching)などの異方性エッチングを多結晶シリコン膜6に対して行うことにより、所定のパターンを有するゲート8を形成する。この後、レジストを剥離後、ゲートエッジの電界集中緩和のためシリコン半導体基板1のp

ウェル2及びnウェル3上に形成されたゲート8の表面に厚さ10nm程度の酸化膜9を形成する(図12

(b))。次に、フォトリジストパターン10を半導体基板1上に形成し、nウェル3をフォトリジストパターン10で被覆する。そして、フォトリジストパターン10とpウェル2上のゲート8をマスクにしてイオン注入を行って、エクステンション(Extension)領域と呼ばれる $5\text{E}18 \sim 1\text{E}20\text{cm}^{-3}$ 程度の濃度となる中濃度領域で浅く急峻な不純物プロファイルを持つ不純物拡散領域(n型エクステンション領域)11を形成する(図13(a))。

【0004】次に、フォトリジストパターン10を除去してからpウェル2を被覆するフォトリジストパターン10'を形成し、これとnウェル3上のゲート8をマスクにイオン注入を行って、 $5\text{E}18 \sim 1\text{E}20\text{cm}^{-3}$ 程度の濃度となる中濃度領域で浅く急峻な不純物プロファイルを持つ不純物拡散領域(n型エクステンション領域)12を形成する(図13(b))。この不純物拡散領域11、12は、レジストパターン剥離後1000℃、30秒程度のアニールにより活性化する。従来のLDD構造を有するMOSFETのLDD領域は、不純物濃度が $5\text{E}18\text{cm}^{-3}$ より低濃度であり、エクステンション領域に比較して低濃度領域に相当する。一方、MOSFETのソース/ドレイン領域は、通常 $1\text{E}20\text{cm}^{-3}$ 程度であり高濃度領域に相当する。したがって、濃度により半導体基板の不純物拡散領域を規定すると、LDD領域、エクステンション領域及びソース/ドレイン領域は、順に低濃度領域、中濃度領域及び高濃度領域とすることができる。

【0005】次に、半導体基板1全面に Si_3N_4 を厚さ100nm程度LPCVD法により堆積し、これを、例えば、RIEなどの異方性エッチングにより、下の酸化膜(SiO_2)9と選択的にエッチングし、ゲート8の側面に側壁絶縁膜13を形成する。さらに、先のエクステンションの形成と同様にリソグラフィプロセスにより形成したレジストパターン(図示せず)とゲートをマスクとして、 $1\text{E}20 \sim 1\text{E}21\text{cm}^{-3}$ 程度の高濃度不純物領域14、15をnMOSFETそれぞれに対してイオン注入法により形成し、1000℃、30秒程度のアニールによりこの不純物領域を活性化する。pウェル2に形成されるnMOSFETの不純物拡散領域は、n型ソース/ドレイン領域14となり、nウェル3に形成されるpMOSFETの不純物拡散領域は、p型ソース/ドレイン領域15になる。

【0006】このソース/ドレイン領域14、15は、先のエクステンション領域11、12がMOSFETの短チャネル効果抑制のため浅い急峻な不純物プロファイルであるのに対し、形成した側壁長の距離だけチャネル領域から離れているため、より深く高濃度な不純物領域を形成し、ソース/ドレイン領域のシート抵抗を低減

(4)

特開平10-200109

5

6

し、高駆動のMOSFETを供給できる。また、ゲートへの不純物のドーピングもソース/ドレイン領域の n^+ 領域及び p^+ 領域の形成と同時に進行。この後は、LPCVD法により層間絶縁膜を形成し、通常のメタライゼーション工程を経て配線層等を形成して半導体装置(LSI)を完成させる。

【0007】

【発明が解決しようとする課題】図15は、従来技術のゲート電極パターンの一例を示したものである。半導体装置(LSI)中のゲート電極パターンは、この図に示す様にそのピッチは多様であり、メモリの様に同様なパターンの単純な繰り返しが多いパターンに於いてもセンスアンプ部、周辺のI/O部では、その限りではなく、さらにロジックの場合ではこの傾向はさらに顕著になる。一方、MOSFETのゲート寸法は、半導体装置(LSI)の性能を決める上では最も重要なパラメータの一つであり、MOSFETの微細化によるLSI性能の高性能化はこのゲート幅(ゲート長)の微細化に大きく依存している。しかしながら、リソグラフィの光の短波長化、フォトリソ材料の改善等により微細パターンの形成が可能になってはいるが、図に示すようなパターンの不均一性のためパターンピッチによる光の近接効果、フォトリソの現像/エッチング時のローディング効果が微細化に対して大きく影響し、ゲートの寸法バラツキがLSIとしての歩留まり、マージン設計に大きく影響し、MOSFETが本来持つ性能をLSIとして実現することが難しくなっている。

【0008】これらの寸法バラツキを抑制する方法としてはリソグラフィに用いるゲートマスクをこれらのプロセスに起因した要因での寸法変化を考慮しゲートのレイアウトデータを元にシュミレーションによりプロセス変換差分を元々補正してマスクを作成する手法がある。しかし補正のためには2次元的なプロセス要因の影響を考慮する必要があり、ロジックデバイスのように多様なレイアウトが存在するLSIではシュミレーションに要する時間が多大であり、実際の量産技術としては適さないものがある。また、シュミレーションではプロセスに用いる材料、ガス等の変化に対してモデリング、確認等の作業が必要となり、機敏にこれらの変化に対応していくことが難しい。

【0009】また、従来の技術として、図16の様に短チャネル特性改善のためエクステンション領域下にポケットと呼ばれる領域を形成する。このポケット領域にはエクステンション領域とは異なる導電型の不純物がイオン注入され、こうすることにより前記エクステンション領域の不純物プロファイルに急峻にパンチスルー特性を改善する半導体装置が知られている。このポケット領域は、半導体基板と同じ導電型の不純物が含まれており半導体基板の濃度より高濃度の $1E17\text{ cm}^{-3}$ 以上の不純物拡散領域である。このポケット領域は、エクステン

ション領域下の全面に形成されている。したがって、エクステンション領域とポケット領域との境界には接合容量が発生することになる。本発明は、このような事情によりなされたものであり、ゲートの局所的な被覆率の差を低減し、プロセス中の光の近接効果、ローディング効果を緩和し、ゲートの寸法変動を改善してバラツキの少ないゲートを形成することにより、トランジスタ特性のバラツキが改善された半導体装置を提供する。また、ゲートの膜厚に依存せず、エクステンション領域下のポケット領域の不純物プロファイルを抑制することにより、パンチスルーを抑制し、良好な短チャネル特性をもつ半導体装置及びその製造方法を提供する。

【0010】

【課題を解決するための手段】本発明は、MOSFETのゲート形成時にゲート以外の領域に、このゲートと分離されたレジストパターンをリソグラフィプロセスにて形成し、ゲート形成時に同時にダミーゲートパターンを形成することを特徴とする。これにより各ゲート周辺のパターン密度を均一にし、リソグラフィ工程での近接効果、リソグラフィ工程の現像、エッチング工程でのローディング効果等によるゲート寸法のバラツキを低減し、ゲート寸法精度の制御性を改善し、より高性能な半導体装置を提供することができる。

【0011】さらに、微細なMOSFETにおいては良好な短チャネル特性を実現するためゲート下のシリコン半導体基板に隣接するソース/ドレイン領域からのパンチスルー現象を抑制するため、ソース/ドレイン領域と隣接するエクステンション領域下の不純物濃度を基板濃度より高めて空乏層領域の広がりを抑える構成のトランジスタがある。このトランジスタに対しても、本発明で用いたダミーゲートパターンとゲートとをマスクとしてイオン注入法を用いてこの高濃度不純物領域をソース/ドレイン領域のエクステンション領域下に形成すれば、ゲート近傍のパンチスルー抑制に必要な不純物分布を形成することができる。この高濃度不純物領域は、ポケット領域といわれる。半導体基板の不純物濃度が $1E15 \sim 1E17\text{ cm}^{-3}$ である場合においてポケット領域の不純物濃度は、 $1E17\text{ cm}^{-3}$ 以上の高濃度である。本発明のポケット領域は、ゲート近傍のみに形成され、それ以外のソース/ドレイン領域下には形成されないので接合容量の増大しない高性能なデバイス構造が実現できる。

【0012】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。本発明は、MOSFETのゲート形成時にゲート以外の領域に、このゲートと分離されたレジストパターンをリソグラフィプロセスにて形成し、ゲート形成時に同時にダミーゲートパターンを形成することを特徴とする。ゲート電極の局所的な被覆率の差を低減するとともに、このプロセスを用いてソース/ドレイ

(5)

特開平1-0-200109

7

8

ン領域下のポケット領域を形成することにより接合容量の小さい領域を有する半導体装置を形成することができる。

【0013】まず、図1及び図2を参照して第1の実施例を説明する。図1は、周辺が均一パターンとなるゲートの半導体基板上のパターンの平面図であり、ゲートをレイアウト通り正確に形成する方法を説明する。図に示すように、ゲート電極パターンに対し、ゲートがない領域のデータをLSI中で用いられる最小ゲート間隔 S_{min} だけ離して配置することにより常にどのゲートに対してもゲート加工時に隣接するダミーゲートパターンは、常に S_{min} だけ離れており、局所的なゲート電極パターンの被覆率の差を低減し、プロセス/レイアウトによるプロセス変動を抑制することができる。次に、図2を参照して以下このゲートマスクを用いたLSIの製造工程を説明する。シリコン半導体基板1の表面領域に、nMOSFET及びpMOSFETを形成する不純物拡散領域としてpウエル2及びnウエル3を形成する。この後、素子を電気的に分離するためのフィールド酸化膜(SiO_2)4を選択酸化法を用いて形成する。次に、トランジスタが形成されるシリコン半導体基板表面領域の不純物濃度がそれぞれのトランジスタに対して所望のしきい値電圧(V_{th})になるように、必要な不純物プロファイルをそれぞれの領域に対しリソグラフィプロセスで形成したフォトレジストをマスクに用いてイオン注入法により形成する。

【0014】次に、シリコン半導体基板上にゲート絶縁膜として用いるシリコン酸化膜5を熱酸化法で形成し、その上に多結晶シリコン膜6をLPCVD法などにより形成する。次に、リソグラフィプロセスにより両サイドに前述の最小ゲート間隔 S_{min} だけ離れて配置されたダミーゲートパターン372を有するゲート電極パターン371をフォトレジスト37に転写する(図2

(a))。そしてこれをマスクにして方向性もち、 SiO_2 に対してエッチング選択比を持つRIEなどの異方性エッチングを多結晶シリコン膜6に対して行うことにより、所定のパターンを有するゲート8、8及びそのゲート長方向の両サイドにダミーゲートパターン38、38を形成する。このように、ゲート8を形成するまでは従来のプロセスと同じであるが、ゲート電極パターンには図1に示したようにLSI中で用いられる最小のゲート間隔 S_{min} でダミーパターン38を配置する。これによりゲート加工時は周りが均一なパターンとなり、ゲートのレイアウトとプロセスによるゲートの寸法変化を抑えることができる。

【0015】ゲート加工後は、リソグラフィプロセスを用いてゲート8を覆うフォトレジストパターン39を形成する。そして、このフォトレジストパターン39をマスクにして等方性もしくは異方性エッチングを行う(図2(b))。このエッチングにより、下地ゲート酸化膜

10

20

30

40

50

(SiO_2)5と選択比を取ってダミーゲートパターン38をエッチング除去する(図2(c))。以下の工程は、は従来と同様のプロセスを用いることによりゲート寸法バラツキを抑制した高性能なLSIが形成される。ここでは、ダミーゲートパターンとゲートの間隔をLSI中での最小ゲート間隔としたが、LSIの製造歩留まりを考慮し、LSI中で多用されるNAND、NORゲート等の並列のMOSFETのゲート間隔、即ちゲート間にコンタクトが1個配置される距離で定義しても、寸法バラツキは低減される。この時のゲート電極・ダミーパターン間の寸法は、最小ゲート寸法(最小ゲート長寸法)の4~6倍になる。これを S_{min} にすると、この時にダミーゲートパターンが配置されない最小ゲート間隔はこの S_{min} の2倍、また、ダミーゲートパターンとしての最小加工寸法をゲートの最小寸法 L_{min} とすると、ダミーパターンが配置されない最小ゲート間隔は $S_{min} \times 2 + L_{min}$ となる。以上のことにより、ゲートとの間隔を最小ゲート寸法の6倍以下の一定の比率でダミーゲートパターンを配置することによりゲート加工時のゲート間隔としてゲート寸法の1.3倍以上のレイアウトにすることは無くなり、良好なゲート寸法制御を実現できる。また以上の S_{min} は、最小ゲート間隔 $S_{min} \leq$ ゲート寸法 $\times 6$ となる。

【0016】次に、図5を参照して第2の実施例を説明する。図5は、ダミーゲートパターンを用いて半導体基板にエクステンション領域を形成する工程断面図であり、ゲートに近接してエクステンション領域を必要な領域に限定して形成する方法を説明する。シリコン半導体基板1の表面領域に、nMOSFET及びpMOSFETを形成する不純物拡散領域としてpウエル2及びnウエル3を形成する。この後、素子を電気的に分離するためのフィールド酸化膜4を選択酸化法を用いて形成する。次に、トランジスタが形成されるシリコン半導体基板表面領域の不純物濃度がそれぞれのトランジスタに対して所望のしきい値電圧(V_{th})になるように、必要な不純物プロファイルをそれぞれの領域に対しリソグラフィプロセスで形成したフォトレジストをマスクに用いてイオン注入法により形成する。次に、シリコン半導体基板1上にゲート絶縁膜として用いるシリコン酸化膜5を熱酸化法で形成し、その上に多結晶シリコン膜をLPCVD法などにより形成する。次に、リソグラフィプロセスにより両サイドに前述の最小ゲート間隔だけ離れて配置されたダミーゲートパターンを有するゲート電極パターンをフォトレジスト(図示せず)に転写する。

【0017】そして、これをマスクにして方向性をもち、 SiO_2 に対してエッチング選択比を持つRIEなどの異方性エッチングを多結晶シリコン膜に対して行うことにより、所定のパターンを有するゲート8、8及びそのゲート長方向の両サイドにダミーゲートパターン38、38を形成する。次に、nウエル3を被覆するパタ

(6)

特開平10-200109

9

10

ーシンのフォトレジスト10を半導体基板1上に形成する。そして、ゲート8、ダミーゲートパターン38及びフォトレジスト10をマスクにして、As、Pなどを半導体基板1にイオン注入し、ゲート8とダミーゲートパターン38間の半導体基板1表面領域pウエル2にn型エクステンション領域11を形成する(図3(a))。イオンがゲートやダミーゲートなどのマスクを貫通して半導体基板に注入されないように、イオンの飛程がゲート酸化膜厚とゲート(又はダミーゲート)膜厚(約250nm)との和より大きくならないようにする必要がある。次に、フォトレジスト10を除去してから、nウエル3上の全面及びpウエル2上のゲート8をフォトレジスト43で被覆し、このフォトレジスト43をマスクにしてpウエル2上のダミーゲートパターン38をエッチング除去する(図3(b))。

【0018】次に、pウエル2を被覆するパターンのフォトレジスト10'を半導体基板1上に形成する。そして、ゲート8、ダミーゲートパターン38及びフォトレジスト10'をマスクにして、Bなどを半導体基板1にイオン注入し、ゲート8とダミーゲートパターン38間の半導体基板1表面領域のnウエル3にp型エクステンション領域12を形成する(図4(a))。次に、フォトレジスト10'を除去してから、pウエル2上全面及びnウエル3上のゲート8をフォトレジスト43'で被覆し、フォトレジスト43'をマスクにしてnウエル3上のダミーゲートパターン38をエッチング除去する

(図4(b))。つづいてこのフォトレジスト43'は、半導体基板1から取り除く(図4(c))。その後の工程において従来と同様のプロセスを用いることによりゲート寸法バラツキを抑制したpウエル内のnMOSFET及びnウエル内のpMOSFETが形成される。この実施例の方法によると、エクステンション領域を形成するためのフォトレジストマスクとダミーゲートパターンとを剥離する工程は、n/pMOSFETともそれぞれ同一工程で行うことができる。この時には、従来プロセスと比べてリソグラフィプロセスの工程数を増やすことなくダミーゲートパターンによりゲート寸法精度を向上させることができる。

【0019】次に、図5を参照して第3の実施例を説明する。図5は、ダミーゲートパターンを用いて半導体基板にエクステンション領域及びその下にポケット領域を形成する工程断面図であり、ゲートに近接した領域にエクステンション領域及びこのエクステンション領域下の所定の領域に限定してポケット領域を形成する方法を説明する。シリコン半導体基板1の表面領域にpウエル2及びnウエル3を形成する。この後、素子分離領域のフィールド酸化膜4を選択酸化法を用いて形成する。次に、トランジスタが形成されるシリコン半導体基板表面領域の不純物濃度がそれぞれのトランジスタに対して所望のしきい値電圧(Vth)になるように、必要な不純物

プロファイルをそれぞれの領域に対しリソグラフィプロセスで形成したフォトレジスト(図示せず)をマスクに用いてイオン注入法により形成する。次に、シリコン半導体基板1上にゲート絶縁膜として用いるシリコン酸化膜5を熱酸化法で形成し、その上に多結晶シリコン膜をLPCVD法などにより形成する。次に、リソグラフィプロセスにより両サイドに前述の最小ゲート間隔だけ離れて配置されたダミーゲートパターンが形成されたゲート電極パターンをフォトレジスト(図示せず)に転写する。

【0020】そして、これをマスクにして方向性もち、SiO₂に対してエッチング選択比を持つRIEなどの異方性エッチングを多結晶シリコン膜に対して行うことにより、所定のパターンを有するゲート8、8及びそのゲート長方向の両サイドにダミーゲートパターン38、38を形成する。次に、nウエル3を被覆するパターンのフォトレジスト10を半導体基板1上に形成する。そして、ゲート8、ダミーゲートパターン38及びフォトレジスト10をマスクにして、As、Pなどを半導体基板1にイオン注入し、ゲート8とダミーゲートパターン38間の半導体基板1表面領域pウエル2にn型エクステンション領域11を形成する。続いて、同じマスクを用いてボロン(B)などのpウエルを構成する導電型の不純物をイオン注入し、pウエル2より高濃度のp型不純物拡散領域、いわゆる、ポケット領域41をエクステンション領域11の下に形成する(図5

(a))。次に、pウエル2上のゲート8をフォトレジスト(図示せず)で被覆し、これらフォトレジストをマスクにしてpウエル2上のダミーゲートパターン38をエッチング除去する。

【0021】次に、pウエル2を被覆するパターンのフォトレジスト10'を半導体基板1上に形成する。そして、ゲート8、ダミーゲートパターン38及びフォトレジスト10'をマスクにして、ボロン(B)などを半導体基板1にイオン注入し、ゲート8とダミーゲートパターン38間の半導体基板1表面領域のnウエル3にp型エクステンション領域12を形成する。続いて、同じマスクを用いてAs、Pなどのnウエルを構成する導電型の不純物をイオン注入し、nウエル3より高濃度のn型不純物拡散領域、すなわち、ポケット領域42をエクステンション領域12の下に形成する(図5(b))。次に、nウエル3上のゲート8をフォトレジスト(図示せず)で被覆し、これらフォトレジストをマスクにしてnウエル3上のダミーゲートパターン38をエッチング除去する(図5(c))。その後の工程において従来と同様のプロセスを用いることによりゲート寸法バラツキを抑制したpウエル内のnMOSFET及びnウエル内のpMOSFETが形成される。

【0022】短チャネル特性改善のためエクステンション領域下にエクステンション領域と異なるタイプの不純

50

(7)

特開平10-200109

11

物をイオン注入することによりポケット領域を形成配置し、エクステンション領域の不純物プロファイルを急峻にし、パンチスルー特性を改善する。ゲート間距離 S_{min} (図1参照)は、最小ゲート間隔以上にし、ゲート長寸法の6倍以下にする(最小ゲート間隔 $\leq S_{min} \leq$ ゲート長寸法 $\times 6$)。このようなゲート構造によりドレイン領域の一部がダミーパターンで覆われてポケット領域が形成されて、ドレイン領域下の一部領域にのみポケット領域が形成されることになる。したがって、ポケットインプラによる接合容量の増大が抑制される。

【0023】次に、図6及び図7を参照して第4の実施例を説明する。図6及び図7は、第3の実施例と同様にダミーゲートパターンを用いて半導体基板にエクステンション領域及びその下にポケット領域を形成する工程断面図であり、ゲートに近接した領域にエクステンション領域及びこのエクステンション領域下の所定の領域に限定してポケット領域を形成する方法を説明する。この実施例ではダミーゲートパターンを含むゲートの加工をn MOSFET領域、p MOSFET領域別々に行う場合を示し、この点でn/p MOSFET領域同時に形成する前実施例とは相違している。シリコン半導体基板1の表面領域にpウエル2及びnウエル3を形成する。この後、素子分離領域のフィールド酸化膜4を選択酸化法を用いて形成する。次にトランジスタが形成されるシリコン半導体基板表面領域の不純物濃度がそれぞれのトランジスタに対して所望のしきい値電圧(V_{th})になるように、必要な不純物プロファイルをそれぞれの領域に対しリソグラフィプロセスで形成したフォトレジスト(図示せず)をマスクに用いてイオン注入法により形成する。次に、シリコン半導体基板1上にゲート絶縁膜として用

いるシリコン酸化膜5を熱酸化法で形成し、その上に多結晶シリコン膜をLPCVD法などにより形成する。

【0024】次に、リソグラフィプロセスにより両サイドに前述の最小ゲート間隔だけ離れて配置されたダミーゲートパターン372を有するゲート電極パターン371をフォトレジスト37のpウエル2上の部分に転写する。そして、これをマスクにして方向性を持ち、 SiO_2 に対してエッチング選択比を持つRIEなどの異方性エッチングを多結晶シリコン膜に対して行うことにより、pウエル2上に所定のパターンを有するゲート8及びそのゲート長方向の両サイドにダミーゲートパターン38を形成する。次に、フォトレジスト37ををマスクにして、As、Pなどn型不純物を半導体基板1にイオン注入し、ゲート8とダミーゲートパターン38間の半導体基板1表面領域のpウエル2にn型エクステンション領域11を形成する。続いて、同じマスクを用いてボロン(B)などのpウエルを構成する導電型の不純物をイオン注入し、pウエル2より高濃度のp型不純物拡散領域、すなわち、ポケット領域41をエクステンション領域11の下に形成する(図6(a))。

12

【0025】次に、フォトレジスト37を除去してから両サイドに前述の最小ゲート間隔だけ離れて配置されたダミーゲートパターン372'を有するゲート電極パターン371'をフォトレジスト37'のnウエル3上の部分に転写する。そして、これをマスクにして方向性を持ち、 SiO_2 に対してエッチング選択比を持つRIEなどの異方性エッチングを多結晶シリコン膜に対して行うことにより、nウエル3上に所定のパターンを有するゲート8及びそのゲート長方向の両サイドにダミーゲートパターン38を形成する。フォトレジスト37'ををマスクにして、ボロンなどp型不純物を半導体基板1にイオン注入し、ゲート8とダミーゲートパターン38間の半導体基板1表面領域のnウエル3にp型エクステンション領域12を形成する。続いて、同じマスクを用いてAs、Pなどのnウエルを構成する導電型の不純物をイオン注入し、nウエル3より高濃度のn型不純物拡散領域、すなわち、ポケット領域42をエクステンション領域12の下に形成する(図6(b))。

【0026】次に、フォトレジスト37'を除去し、ゲート8を被覆するパターンのフォトレジスト39を半導体基板1上に形成する(図7(a))。そして、このフォトレジスト39をマスクにしてダミーゲートパターン38をエッチング除去する(図7(b))。その後の工程において従来と同様のプロセスを用いることによりゲート寸法バラツキを抑制したpウエル内のn MOSFET及びnウエル内のp MOSFETが形成される。この場合、n/p MOSFETのゲート加工後、エクステンション領域及びポケット領域のイオン注入を行うことにより前実施例と同様にドレイン領域下の一部の領域にポケット領域を形成するためのイオン注入による不純物がドーピングされないので接合容量を抑制することができる。また、ゲートを加工したフォトレジストをつけたままイオン注入をするため、不純物のイオン注入をゲート材料の膜厚以上に進入する加速電圧条件でドーピングしても、ゲートを突き抜けてしきい値電圧に影響を与えない。この製造方法では、不純物イオン、特にパンチスルー抑制のための不純物を基板からゲートの厚さを越える深い領域で形成可能である。また、n/p MOSFETのゲート及びエクステンション/ポケット領域の不純物ドーピング終了後、1回のリソグラフィ工程でn/p MOSFETのダミーゲートパターンを取り除くエッチング処理が可能になるので、従来の製造方法と比較してリソグラフィ工程の増加の伴わないプロセスが実現する。

【0027】次に、図8を参照して第5の実施例を説明する。図8は、半導体基板に形成されたダミーゲートパターンを形成する半導体装置の製造工程断面図であり、ダミーゲートパターンとゲートとの位置関係を説明する。シリコン半導体基板1の表面領域にpウエル2及びnウエル3を形成する。この後素子分離領域のフィール

ト酸化膜4を選択酸化法を用いて形成する。次に、トランジスタが形成されるシリコン半導体基板表面領域の不純物濃度がそれぞれのトランジスタに対して所望のしきい値電圧(V_{th})になるように、必要な不純物プロファイルをそれぞれの領域に対しリソグラフィプロセスで形成したフォトレジストをマスクに用いてイオン注入法により形成する。次に、シリコン半導体基板上にゲート絶縁膜となるシリコン酸化膜5を熱酸化により形成し、その上に多結晶シリコン膜6をLPCVD法などにより形成する。次に、リソグラフィプロセスにより両サイドに前述の最小ゲート間隔 S_{min} だけ離れて配置されたダミーゲートパターン372を有するゲート電極パターン371をフォトレジスト37に転写する(図8(a))。そして、これをマスクにして方向性もち、 SiO_2 に対してエッチング選択比を持つRIEなどの異方性エッチングを多結晶シリコン膜6に対して行うことにより、所定パターンのゲート8、8を形成し、同時にダミーゲートパターン38、38をゲートと平行に、ゲートに対して最小ゲート間隔 $S_{min} \leq$ ゲート寸法(L_{min}) $\times 6$ の範囲で少なくともゲートに隣接して一本以上配置する(図8(b))。この方法によれば、ゲートのピッチを一定範囲に保つことができ、光の近接効果を抑制することができる。ダミーゲートパターンは、ゲートと同じ長さ(L_{min})であり、両者は、等間隔で配置形成されている。

【0028】次に、図9を参照して第6の実施例を説明する。図9は、半導体基板上的ダミーゲートパターンとゲートの配置を示す断面図であり、両者の関係を説明する。ロジックを形成するMOSFETのレイアウトは、NAND、NOR、INV(インバータ)の3つの代表的なゲートタイプを考えれば分かるように、ゲート間の拡散領域上に形成されたコンタクトの有無でゲート間隔が決まり、比較的ゲートが孤立されて配置される場合が存在する。コンタクトが配置されていない場合のゲート間距離を S_{min} としてコンタクトが配置されるゲート間距離がコンタクト無しの場合のゲート間距離 S_{min} の2倍に最小ゲート寸法 L_{min} を加えた値($2S_{min} + L_{min}$)で与えられると、ダミーゲートパターンの配置によりこれらの電極配置のピッチを同一に保つことができ、さらに孤立パターンの両側、及びゲートの並びの外側に同様に少なくとも1つ以上のダミーパターンを上記ピッチで配置することにより、光の近接効果、現像、エッチングのローディング効果を抑え、ゲートの寸法精度を向上することができる。

【0029】次に、図10及び図11を参照して第7の実施例を説明する。図10及び図11は、ダミーゲートパターンを用いて半導体基板にエクステンション領域及びその下にポケット領域を形成し、さらにソース/ドレイン領域を形成する工程断面図であり、ゲートに近接した領域にエクステンション領域及びこのエクステンシ

ン領域下の所定の領域に限定してポケット領域を形成する方法を説明する。p型シリコン半導体基板1の表面領域に素子分離領域(STI; Shallow Trench Isolation)4を形成する。次にトランジスタが形成されるシリコン半導体基板表面領域の不純物濃度がそれぞれのトランジスタに対して所望のしきい値電圧(V_{th})になるように、必要な不純物プロファイルをそれぞれの領域に対しリソグラフィプロセスで形成したフォトレジスト(図示せず)をマスクに用いてイオン注入法により形成する。次に、シリコン半導体基板1上にゲート絶縁膜として用いるシリコン酸化膜(図示せず)を熱酸化法で形成し、その上に多結晶シリコン膜をLPCVD法などにより形成する。次にリソグラフィプロセスにより両サイドに前述の最小ゲート間隔だけ離れて配置されたダミーゲートパターン372を有するゲート電極パターン371をフォトレジスト37に転写する(図10(a)及び図10(b))。

【0030】そして、これをマスクにして方向性もち、 SiO_2 に対してエッチング選択比を持つRIEなどの異方性エッチングを多結晶シリコン膜に対して行うことにより、ゲート長 L_1 のゲート8及びそのゲート長方向の両サイドに長さ L_2 のダミーゲートパターン38、38を形成する。次に、ゲート8及びダミーゲートパターン38をマスクにして、As、Pなどを半導体基板1にイオン注入し、ゲート8とダミーゲートパターン38間の半導体基板1表面領域に $5E18 \sim 1E20 \text{ cm}^{-3}$ 程度の中濃度のn型エクステンション領域11を形成する。続いて、同じマスクを用いてボロン(B)などの半導体基板と同じ導電型の不純物をイオン注入し、半導体基板1より高濃度の $1E17 \text{ cm}^{-3}$ 以上のp型不純物拡散領域、つまり、ポケット領域41をエクステンション領域11の下に形成する(図11(a))。次に、ゲート8をフォトレジスト(図示せず)で被覆し、このフォトレジストをマスクにしてダミーゲートパターン38をエッチング除去する。拡散領域11、41を 1000°C 、30秒程度のアニールにより活性化し、次に、半導体基板1の全面に膜厚 100 nm 程度の Si_3N_4 絶縁膜を形成し、これを異方性エッチングにより下地の SiO_2 絶縁膜5と選択的にエッチングして側壁絶縁膜13を形成する。

【0031】さらに、エクステンション領域11の形成と同様にゲート8と側壁絶縁膜13をマスクにしてAs、Pなどのn型不純物を半導体基板1にイオン注入して $1E20 \sim 1E21 \text{ cm}^{-3}$ 程度の高濃度なn型ソース/ドレイン領域14を形成する。そして、拡散領域14は、 1000°C 、30秒程度のアニールにより活性化されて、nMOSFETが形成される(図11(b))。その後の工程において従来と同様のプロセスを用いることによりゲート寸法バラツキを抑制したnMOSFETが形成される。また、このようなゲート構造によりドレ

(9)

特開平10-200109

15

イン領域の一部がダミーパターンで覆われてポケット領域が形成されて、ドレイン領域下の一部領域にのみポケット領域が形成されることになる。したがって、ポケットインプラによる接合容量の増大が抑制される。なお、本発明は、これまで述べてきたゲートの寸法精度改善のためのダミーゲートパターンはメモリセル内部の様に同一パターンの繰り返し領域では、前述のプロセスによる寸法変化を全体にフィードバックでき、さらに、その他のランダムなゲートに関するものである。

【0032】以上実施例では、多結晶シリコンで形成されたゲートに関して述べてきたが、本発明に用いるゲート材料は、高融点金属Ti、W、Co、Ni、Pd、Moあるいはそのシリコン化合物と他結晶シリコンとの積層構造や前記シリコン化合物でも可能であり、前記金属を用いたサリサイドでも良い。また、このダミーゲートパターンは、ゲートパターンのみでなく、金属配線層あるいは素子領域を形成するリソグラフィプロセスでも同様に使用することができる。さらに、以上の実施例では全てリソグラフィ技術を使った場合について述べてきたが電子線の直接描画などパターンを転写する他のプロセスにおいて有効である。

【0033】

【発明の効果】本発明は、以上の構成により、ゲートの局所的な被覆率の差を低減し、プロセス中の光の近接効果、ローディング効果を緩和し、ゲートの寸法変動を改善し、バラツキの少ないゲートを形成し、その結果MOSFET特性のバラツキが改善されLSI性能が向上する。また、設計マージン、プロセスマージンが改善され高歩留まりのLSIを提供できる。また、ゲートの膜厚に依存せず、エクステンション領域下のポケット領域の不純物プロファイルを制御することが可能となり、パンチスルーを抑制し、良好な短チャネル特性をもつMOSFETが提供可能になる。さらに、従来ポケット領域が拡散領域下に形成されると拡散層下の不純物濃度が増大し、拡散領域の接合容量が増大してしまうのに対し、本

16

発明ではプロセス中のダミーパターン下にはポケットが形成されないので接合容量の増大が抑制される。

【図面の簡単な説明】

【図1】本発明のダミーゲートパターンとゲート電極パターンが形成された半導体基板の平面図。

【図2】本発明の半導体装置の製造工程断面図。

【図3】本発明の半導体装置の製造工程断面図。

【図4】本発明の半導体装置の製造工程断面図。

【図5】本発明の半導体装置の製造工程断面図。

【図6】本発明の半導体装置の製造工程断面図。

【図7】本発明の半導体装置の製造工程断面図。

【図8】本発明の半導体装置の製造工程断面図。

【図9】本発明のダミーゲートパターンとゲート電極パターンが形成された半導体基板の平面図。

【図10】本発明の半導体装置の製造工程断面図。

【図11】本発明の半導体装置の製造工程断面図。

【図12】従来の半導体装置の製造工程断面図。

【図13】従来の半導体装置の製造工程断面図。

【図14】従来の半導体装置の製造工程断面図。

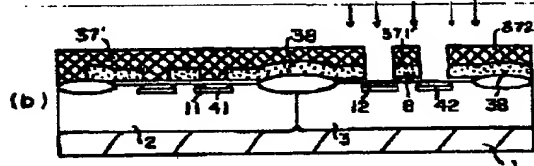
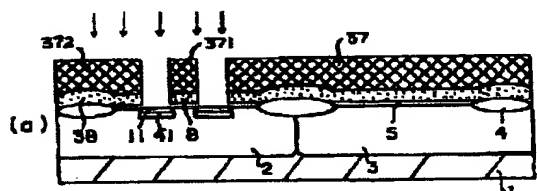
【図15】従来のゲート電極パターンが形成された半導体基板の平面図。

【図16】従来の半導体装置の製造工程断面図。

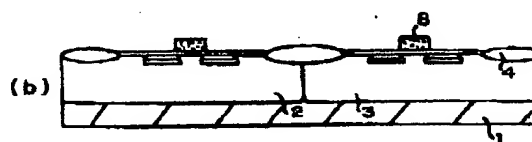
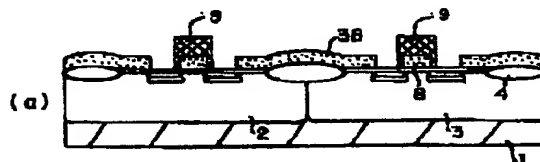
【符号の説明】

1・・・半導体基板、 2・・・pウエル、 3・・・nウエル、 4・・・フィールド酸化膜、 5・・・ゲート絶縁膜、 6・・・多結晶シリコン膜、 7、10、10'、37、37'、39、43、43'・・・フォトレジスト、 8・・・ゲート、 9・・・酸化膜、 11・・・n型エクステンション領域、 12・・・p型エクステンション領域、 13・・・側壁絶縁膜、 14・・・n⁺ソース/ドレイン領域、 15・・・p⁺ソース/ドレイン領域、 371・・・フォトレジストのゲート部、 372・・・フォトレジストのダミーゲートパターン部。

【図6】



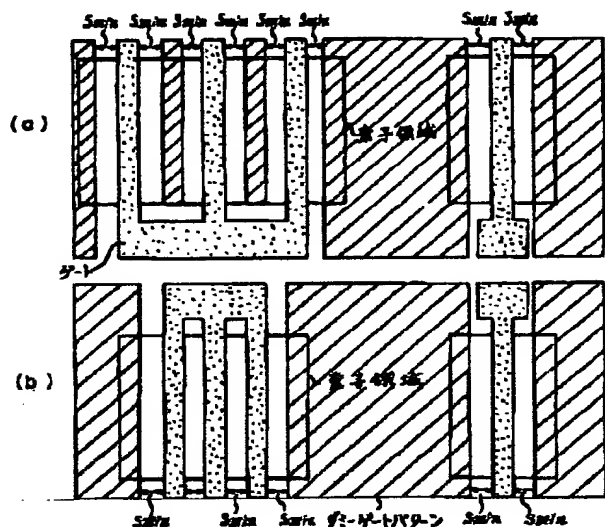
【図7】



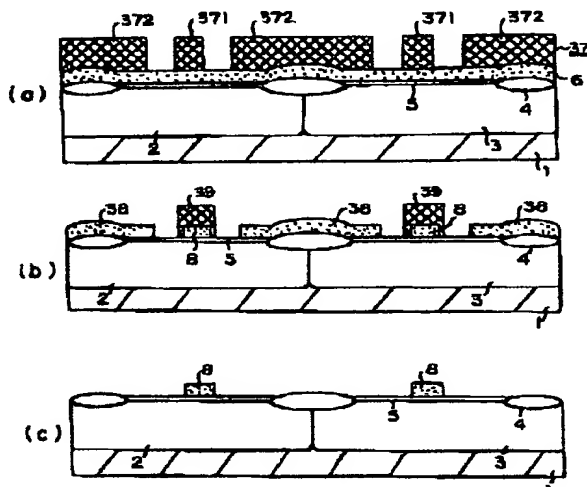
(10)

特開平10-200109

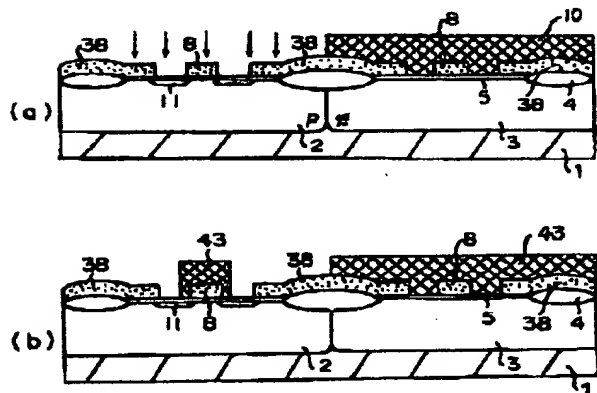
【図1】



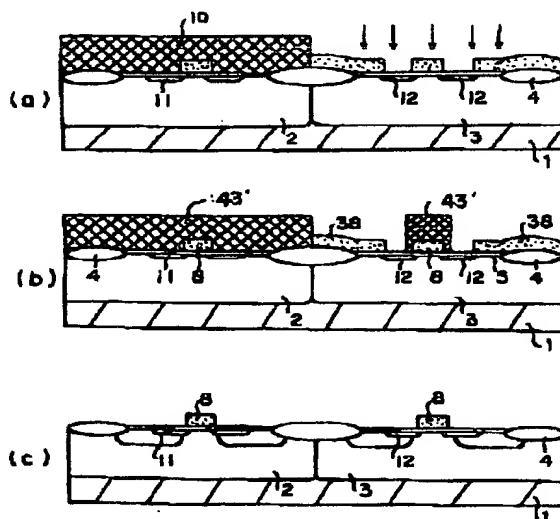
【図2】



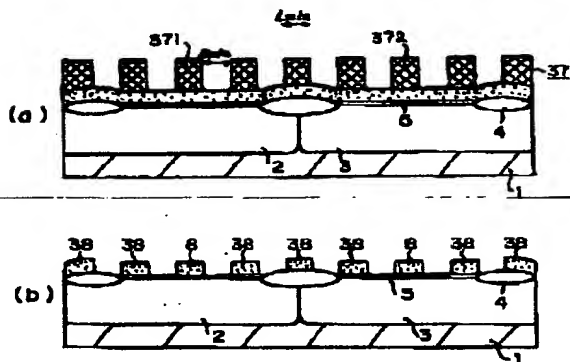
【図3】



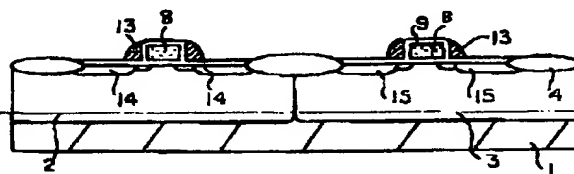
【図4】



【図8】



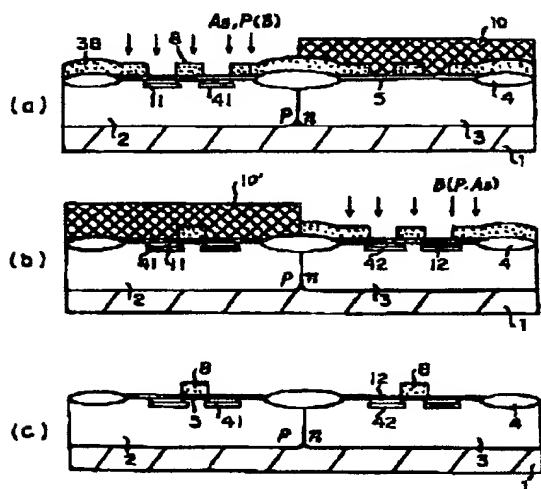
【図14】



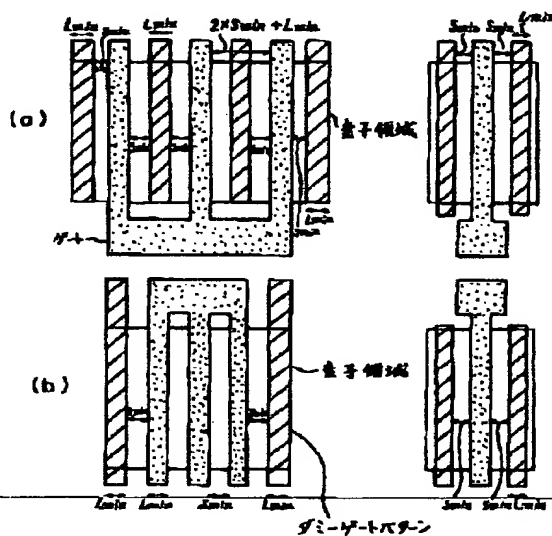
(11)

特開平10-200109

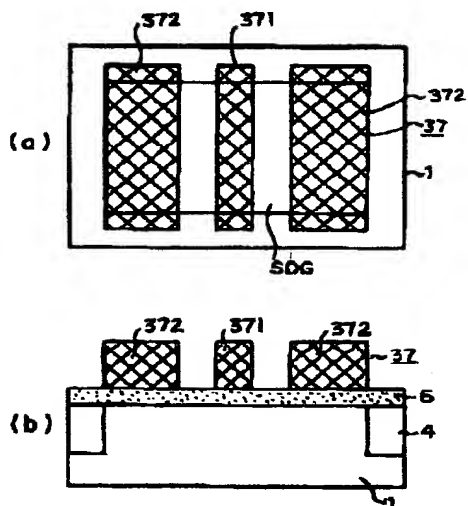
【図5】



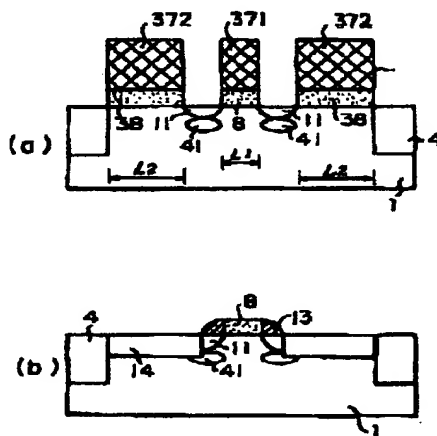
【図9】



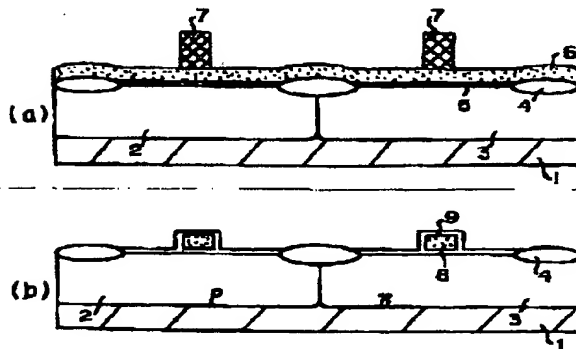
【図10】



【図11】



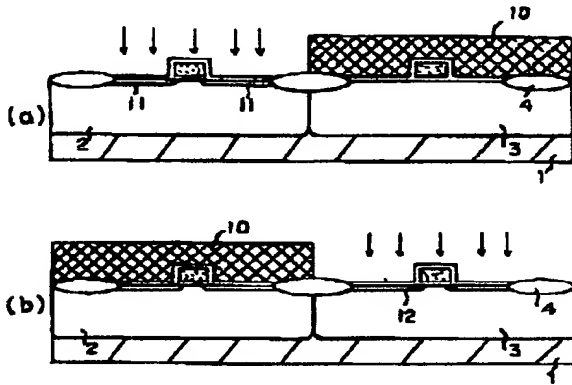
【図12】



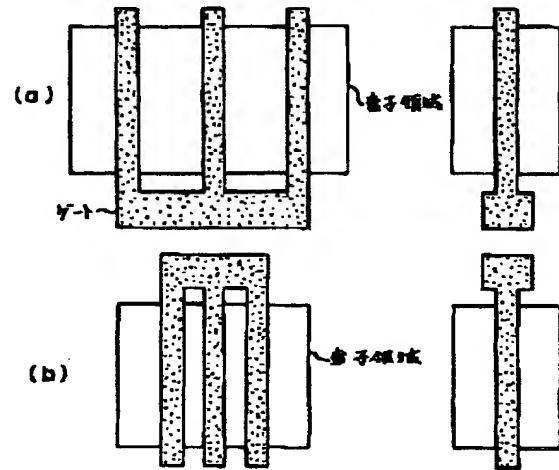
(12)

特開平10-200109

【図13】



【図15】



【図16】

